

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-1111195

(43)Date of publication of application : 28.04.1998

(51)Int.Cl.

G01L 9/00
 G01H 11/00
 G01L 1/10
 H01L 29/84
 // H01L 21/225

(21)Application number : 08-268178

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 09.10.1996

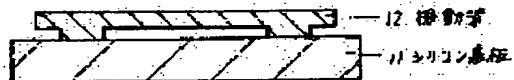
(72)Inventor : YOSHIDA TAKASHI
MIYAZAKI SHUNICHI

(54) VIBRATING TRANSDUCER AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a vibrating transducer and its manufacturing method wherein buckling is prevented with sure even when a compression is applied to a vibration beam by applying an initial tension to the vibration beam of polysilicon.

SOLUTION: The transducer, by measuring a resonance frequency of a vibration beam 12 fixed to a substrate 11 by its both ends, measures a strain applied to the both ends of the vibration beam. In that case, the vibration beam 12 of polysilicon wherein a phosphorus glass is film-formed for obtaining a specified initial tension by high-concentration doping with phosphorus, and then is subjected to drive-in under heated nitrogen, and then the phosphorus glass is removed, is provided.



LEGAL STATUS

[Date of request for examination] 11.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-111195

(43)公開日 平成10年(1998)4月28日

(51)Int.Cl.⁶
G 0 1 L 9/00
G 0 1 H 11/00
G 0 1 L 1/10
H 0 1 L 29/84
// H 0 1 L 21/225

識別記号

F I
G 0 1 L 9/00
G 0 1 H 11/00
G 0 1 L 1/10
H 0 1 L 29/84
21/225

C
A
Z
Q

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平8-268178

(22)出願日 平成8年(1996)10月9日

(71)出願人 000006507

横河電機株式会社
東京都武蔵野市中町2丁目9番32号

(72)発明者 吉田 隆司

長野県上伊那郡宮田村2061番地 横河電機
株式会社内

(72)発明者 宮崎 俊一

長野県上伊那郡宮田村2061番地 横河電機
株式会社内

(74)代理人 弁理士 渡辺 正康

(54)【発明の名称】 振動式トランスデューサとその製造方法

(57)【要約】

【課題】 ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサとその製造方法を提供するにある。

【解決手段】 両端が基板に固定された振動梁の共振周波数を測定する事により該振動梁の両端に加えられた歪を測定する振動式トランスデューサにおいて、リンの高濃度ドープにより所定の初期張力が得られるようにリンガラスが成膜された後加熱された窒素中でドライブインされた後前記リンガラスが除去されてなるポリシリコンよりなる振動梁を具備したことを特徴とする振動式トランスデューサである。



【特許請求の範囲】

【請求項1】両端が基板に固定された振動梁の共振周波数を測定する事により該振動梁の両端に加えられた歪を測定する振動式トランスデューサにおいて、リンの高濃度ドープにより所定の初期張力が得られるようリガラスが成膜された後加熱された窒素中でドライブインされた後前記リガラスが除去されてランプアニーリングによる高速アニーリングがされてなるポリシリコンよりなる振動梁を具備したことを特徴とする振動式トランスデューサ。

【請求項2】前記ポリシリコンよりなる振動梁に初期張力を制御するために加熱処理を加えたことを特徴とする請求項1記載の振動式トランスデューサ。

【請求項3】両端が基板に固定された振動ゲートの共振周波数を測定する事により該振動ゲートの両端に加えられた歪を測定する振動式トランスデューサの製造方法において、

以下の工程を有することを特徴とする振動式トランスデューサの製造方法。

(a) 第1の伝導形式を有する半導体の基板上に、犠牲層酸化膜を形成する犠牲層酸化膜形成工程。

(b) 前記犠牲層酸化膜の所定個所をエッチング除去する犠牲層酸化膜一部エッチング工程。

(c) 前記犠牲層酸化膜と前記所定個所の前記半導体の基板上にポリシリコン膜を成膜するポリシリコン膜形成工程。

(d) 該ポリシリコン膜上にリガラスを形成するリガラス形成工程。

(e) 窒素中で熱処理を行うリンドライブイン工程。

(f) 前記リガラスをエッチング除去するリガラス除去工程。

(g) ランプアニーリングによる高速アニーリングをするランプアニーリング工程。

(h) 前記犠牲層酸化膜をエッチング除去する犠牲層酸化膜エッチング工程。

【請求項4】両端が基板に固定された振動ゲートの共振周波数を測定する事により該振動ゲートの両端に加えられた歪を測定する振動式トランスデューサの製造方法において、

以下の工程を有することを特徴とする振動式トランスデューサの製造方法。

(a) 第1の伝導形式を有する半導体の基板上に、犠牲層酸化膜を形成する犠牲層酸化膜形成工程。

(b) 前記犠牲層酸化膜の所定個所をエッチング除去する犠牲層酸化膜一部エッチング工程。

(c) 前記犠牲層酸化膜と前記所定個所の前記半導体の基板上にポリシリコン膜を成膜するポリシリコン膜形成工程。

(d) 該ポリシリコン膜上にリガラスを形成するリガラス形成工程。

(e) 窒素中で熱処理を行うリンドライブイン工程。

(f) 前記リガラスをエッチング除去するリガラス除去工程。

(g) ランプアニーリングによる高速アニーリングをするランプアニーリング工程。

(h) 前記犠牲層酸化膜をエッチング除去する犠牲層酸化膜エッチング工程。

(i) 前記ポリシリコン膜の初期張力を制御するために加熱する初期張力制御工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサとその製造方法に関するものである。

【0002】

【従来の技術】図28は、従来より一般に使用されている従来例の原理的構成説明図で、例えば、U.S.P.5090254号に示されている。

【0003】図において、1は、シリコン半導体の基板である。2は、シリコン半導体の基板1上に形成され、通常の半導体プロセスにより形成されたポリシリコンよりなる振動梁である。振動梁2の両端部分は、基板1に固定されている。

【0004】以上の構成において、振動梁2の両端に加えられた測定力Fが変化すると、振動梁2の共振周波数は変化する。従って、逆に、振動梁2の共振周波数の変化を測定すれば、振動梁2の両端に加えられた測定力Fを測定する事が出来る。

【0005】このような装置は、図29～図32に示す如く、以下の如くして製作する。

(a) 図29に示す如く、シリコン半導体の基板101上に、犠牲層酸化膜102を形成する。

(b) 図30に示す如く、犠牲層酸化膜102の所定個所103をエッチングする。

【0006】(c) 図31に示す如く、犠牲層酸化膜102と所定個所103の半導体の基板101上にポリシリコン膜104を成膜する。

(d) 図32に示す如く、犠牲層酸化膜102をエッチング除去する。

【0007】

【発明が解決しようとする課題】しかしながら、この様な、一般的なサーフェスマスクロマシーニング技術を用いて作製された振動式トランスデューサは、その振動梁2部分をポリシリコンで作製されているが、通常の成膜条件で作製されたポリシリコン膜には、かなり大きな残留圧縮歪みが残っている。

【0008】この残留圧縮歪みを取り除くため、700℃以上の高温でアニールを行っているが、アニール温度により残留歪みの大きさが異なり、また、後工程でのP

ロセスで、高温の熱処理を制限されるという問題がある。また、この方法では、振動梁2に、大きな残留引っ張り歪みを、保持させることは全くできないことも問題であった。

【0009】一方、振動式トランスデューサには、差圧による歪みや、静圧による歪みや、温度による歪みなどによって、圧縮歪みが加えられる場合があり、その場合に、振動梁2が座屈してしまわないようにしておく必要がある。特に、高精度な差圧測定を行うためには、2つの振動梁2を、差圧を検知するダイアフラム上に設けて、差動演算を行う事が採用される。

【0010】この場合、一方の振動梁2には引っ張り歪みが、他方の振動梁2には圧縮歪みが印加されるようにダイアフラム上に配置される。このとき圧縮歪みが印加される側に配置された振動梁2には、ダイアフラムを通して圧縮歪みが印加される。この場合、この振動梁2が確実に座屈を生じない様にするためには、無負荷時に、あらかじめ、圧縮歪みに対抗する引っ張り歪みを持たせなければならない。

【0011】本発明は、この問題点を、解決するものである。本発明の目的は、ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサとその製造方法を提供するにある。

【0012】

【課題を解決するための手段】この目的を達成するためには、本発明は、

(1) 両端が基板に固定された振動梁の共振周波数を測定する事により該振動梁の両端に加えられた歪を測定する振動式トランスデューサにおいて、リンの高濃度ドープにより所定の初期張力が得られるようにリンガラスが成膜された後加熱された窒素中でドライブインされた後前記リンガラスが除去されてランプアニーリングによる高速アニーリングがされてなるポリシリコンよりなる振動梁を具備したことを特徴とする振動式トランスデューサ。

(2) 前記ポリシリコンよりなる振動梁に初期張力を制御するために加熱処理を加えたことを特徴とする請求項1記載の振動式トランスデューサ。

(3) 両端が基板に固定された振動ゲートの共振周波数を測定する事により該振動ゲートの両端に加えられた歪を測定する振動式トランスデューサの製造方法において、以下の工程を有することを特徴とする振動式トランスデューサの製造方法。

(a) 第1の伝導形式を有する半導体の基板上に、犠牲層酸化膜を形成する犠牲層酸化膜形成工程。

(b) 前記犠牲層酸化膜の所定個所をエッチング除去する犠牲層酸化膜一部エッチング工程。

(c) 前記犠牲層酸化膜と前記所定個所の前記半導体の基板上にポリシリコン膜を成膜するポリシリコン膜形成

工程。

(d) 該ポリシリコン膜上にリンガラスを形成するリンガラス形成工程。

(e) 窒素中で熱処理を行うリンドライブイン工程。

(f) 前記リンガラスをエッチング除去するリンガラス除去工程。

(g) ランプアニーリングによる高速アニーリングをするランプアニーリング工程。

(h) 前記犠牲層酸化膜をエッチング除去する犠牲層酸化膜エッチング工程。

(4) 両端が基板に固定された振動ゲートの共振周波数を測定する事により該振動ゲートの両端に加えられた歪を測定する振動式トランスデューサの製造方法において、以下の工程を有することを特徴とする振動式トランスデューサの製造方法。

(a) 第1の伝導形式を有する半導体の基板上に、犠牲層酸化膜を形成する犠牲層酸化膜形成工程。

(b) 前記犠牲層酸化膜の所定個所をエッチング除去する犠牲層酸化膜一部エッチング工程。

(c) 前記犠牲層酸化膜と前記所定個所の前記半導体の基板上にポリシリコン膜を成膜するポリシリコン膜形成工程。

(d) 該ポリシリコン膜上にリンガラスを形成するリンガラス形成工程。

(e) 窒素中で熱処理を行うリンドライブイン工程。

(f) 前記リンガラスをエッチング除去するリンガラス除去工程。

(g) ランプアニーリングによる高速アニーリングをするランプアニーリング工程。

(h) 前記犠牲層酸化膜をエッチング除去する犠牲層酸化膜エッチング工程。

(i) 前記ポリシリコン膜の初期張力を制御するために加熱する初期張力制御工程。を採用したものである。

【0013】

【発明の実施の形態】図1は本発明の一実施例の要部構成説明図である。図において、11は、シリコン基板である。

【0014】12は、リンの高濃度ドープにより、所定の初期張力が得られるように、リンガラスが成膜された後、加熱された窒素中でドライブインされた後、リンガラスが除去されてランプアニーリングによる高速アニーリングがされてなるポリシリコンよりなる振動梁である。振動梁12の両端部分は、シリコン基板11に固定されている。

【0015】以上の構成において、振動梁12の両端に加えられた測定力Fが変化すると、振動梁12の共振周波数は変化する。従って、振動梁12の共振周波数の変化を測定すれば、振動梁12の両端に加えられた測定力Fを測定する事が出来る。

【0016】このような装置は、図2～図10に示す如

く、以下の如くして製作する。

(a) 図2に示す如く、シリコン半導体の基板201上に、犠牲層酸化膜202を形成する。

(b) 図3に示す如く、犠牲層酸化膜202の所定個所203をエッチングする。

【0017】(c) 図4に示す如く、犠牲層酸化膜202と所定個所203の半導体の基板201上にポリシリコン膜204を成膜する。

(d) 図5に示す如く、850°C以下程度の温度で、ポリシリコン膜204上にリンガラス205を形成する。

【0018】(e) 図6に示す如く、温度を1000°Cに上げ、窒素中でドライブインする。

(f) 図7に示す如く、リンガラス205をエッチング除去する。

(g) 図8に示す如く、ランプアニーリングによる高速アニーリングをする。

(h) 図9に示す如く、ポリシリコン膜204を振動梁12の形状になる様に不要部分をエッチング除去する。

(h) 図10に示す如く、犠牲層酸化膜202をエッチング除去する。

【0019】本願の発明者の実験によれば、図28の従来例によれば、例えば、張力が $-600\mu\epsilon$ 程度であり、本願発明では、張力が $1000\mu\epsilon$ 程度の値が得られた。なお、張力を下げて、所要の張力を得るために、700°C以上の熱工程を加えることにより、所要の張力を得る制御が可能である。

【0020】この結果、

(1) リンガラスを、ポリシリコンよりなる振動梁上に形成して、加熱下の窒素中でドライブインし、ランプアニーリングすることにより、ポリシリコンよりなる振動梁に、圧縮歪みに対抗出来るような初期張力が得られるようにしたので、圧縮歪みが印加されるような個所に、信頼性良く使用できるポリシリコンよりなる振動梁を有する振動式トランスデューサが得られる。

【0021】(2) 通常の半導体プロセスでは、ポリシリコンに導電性を持たせるために、リンドープが使用されるが、その際には、酸素中でアニールされる。この条件下では、酸化シリコンが生じて張力を発生させる事ができない。

【0022】本願発明では、加熱下の窒素中でドライブインすることにより、シリコン結晶粒の粒界での增速酸化を抑えることが出来、ポリシリコンよりなる振動梁に、圧縮歪みに対抗出来るような初期張力が初めて得られるようにすることが出来た。

【0023】(3) 700°C以上の温度で、ポリシリコンが塑性変形する。この点に着目して本願発明では、700°C以上の熱工程を加えることにより、大きな値の張力が得られたポリシリコンよりなる振動梁から、所定の張力を有するポリシリコンよりなる振動梁を容易に得れるようにした。

【0024】図11は本発明の他の実施例の要部構成斜視図で、例えば、特開平7-30128に示されている、振動式トランスデューサを圧力センサとして用いた例に、本発明を適用したものである。図12は図11の中央部近傍の断面図である。ただし、振動ゲートを覆うシェル部分とダイアフラム部分については省略してある。図13は振動ゲートの中央部分における全体側断面図である。

【0025】図11、図12、図13において、シリコン基板21は、例えば伝導形式がp形であり、このシリコン基板21の上面には、n形の不純物が拡散されてソースSが形成され、ここにソースSの電位を取り出すためのアルミニウム製の電極22が、点線で示す配線部W_sを介して形成されている。また、このシリコン基板21の下面には図示していないがダイアフラムが凹部状に形成されここに測定すべき圧力P_wが印加される。

【0026】また、このソースSに対して所定間隔だけ離れて、同じくシリコン基板21の上面にn形の不純物が拡散されてドレインDが形成され、ここにドレインDの電位を取り出すためのアルミニウム製の電極23が点線で示す配線部W_dを介して形成されている。

【0027】シリコン基板21の上方には、間隙x₂だけ離れて固定端24、25が形成されている。而して、不純物が拡散されて導電性が付与され、且つ、リンの高濃度ドープにより所定の初期張力が得られるように、リンガラスが成膜された後、加熱された窒素中でドライブインされた後、リンガラスが除去されてランプアニーリングによる高速アニーリングがされてなるポリシリコンの板状の振動ゲート26の両端が、これ等の固定端24、25に一体に固定されている。

【0028】振動ゲート26の梁の長さはlである。そして、この振動ゲート26はアルミニウム製の電極27と、点線で示す配線部分W_cを介して接続されている。つまり、振動ゲート26とシリコン基板21とは、両端を除いて間隙x₂だけ離れて配置され、この振動ゲート26に対応するシリコン基板21のドレインDとソースSとの間にチャネルCNN2が形成される。

【0029】シリコン基板21の上面に形成されたこれらのドレインD、チャネルCNN2およびソースSの上にはポリシリコン保護膜28と、酸化膜29とからなる2層構造膜31が形成されている。保護膜28は酸化膜29と同様な絶縁体である。

【0030】そして、この2層構造膜31と振動ゲート26との間は、振動ゲート26が固定端24、25を節として上下に振動できるように間隙が設けられている。このようにして振動ゲージ32が構成されている。33はシェル、34はダイアフラムである。

【0031】次に、このような振動式トランスデューサの構成要素としての振動ゲージ22を製造する製造方法について、図14から図27に示す製造工程図を用いて

説明する。

【0032】(1) 図14は、ゲート酸化膜形成工程を示す。p形のシリコン単結晶の基板301の上に、ゲート酸化膜302を、例えば500オングストローム程度の厚さに形成する。

【0033】(2) 図15は、イオン注入工程を示す。ここでは、n形不純物としてリンを、ソース303、ドレイン304やゲートのリード部分に対応する所定領域に、イオン注入しする。

【0034】(3) 図16は、また、必要に応じて、チャネル部305に、リンを浅い深さでイオン注入することで、ソース303ードレイン304間の抵抗値を制御することが可能である。

【0035】(4) 図17は、ポリシリコン保護膜形成工程を示す。この工程では、後工程で使用する弗化水素酸(HF)に対して耐性が強く、ゲート酸化膜302の保護膜の役目を果たし、かつ安定な膜であるポリシリコン保護膜306を、ほぼ5000オングストローム程度の厚さでゲート酸化膜302の上に成膜する。

【0036】(5) 図18は、第1犠牲層酸化膜形成工程を示す。この工程は、先ず、最終的に振動ゲート26の周囲に空隙を形成するための下側の犠牲層として、例えばCVD(Chemical Vapor Deposition)法により5000オングストローム程度の厚さに、ポリシリコン保護膜306の上に第1犠牲層酸化膜307を形成する。

【0037】(6) 図19は、梁形成工程を示す。この工程は最終的に振動ゲート26を形成するための前工程である。先ず、第1犠牲層酸化膜307の上に、ポリシリコン膜308(図示せず)を、例えば1μm程度の厚さで成膜する。この後、導電性を付与するためにリンをドープする。

【0038】このリンドープで振動ゲート26に導電性を付与すると共に、初期張力を与える。リンドープはリンガラスを室温でスピンドルコートし、温度を1000℃に上げ、窒素中でドライブインし、その後、リンガラスを除去する。次に、ランプアニーリングによる高速アニーリングをする。

【0039】次に、フォトリソグラフィ技術により、振動ゲート26に対応する部分に、マスクをしてから、RIE(Reactive Ion Etching)により、ポリシリコン308(図示せず)を所定の形状にエッチングして、最終的に振動ゲート26となる板状の梁309を形成する。

【0040】(7) 図20は、第2犠牲層酸化膜形成工程を示す。この工程は、先ず、最終的に振動ゲート26の周囲に空隙を形成するため、下側を除く部分の犠牲層として、例えばCVD法により、5000オングストローム程度の厚さに、第1犠牲層酸化膜307と梁309の上に、第2犠牲層酸化膜401を形成する。

【0041】(8) 図21は、間隙対応部形成工程を示す。先ず、フォトリソグラフィ技術により、振動ゲート

26の中央部では梁309の近傍をマスクしてから、これらの周囲の第1犠牲層酸化膜307と第2犠牲層酸化膜401を、弗化水素酸でエッチングして、間隙対応部402を形成する。

【0042】(9) 図22は、ギャップ対応膜形成工程を示す。この工程は、後工程で用いられる、エッチング液を導入するための犠牲層としてのギャップ対応酸化膜403を、ほぼ500オングストローム程度の厚さで、ポリシリコン保護膜306と間隙対応部402の上を含んで全面にCVD法により形成する。

【0043】(10) 図23は、シェル対応部形成工程を示す。図10で形成されたギャップ対応酸化膜403上に、1μm程度の厚さになるようにポリシリコン膜404(図示せず)を成膜する。

【0044】この後、フォトリソグラフィ技術を用いてマスクし、RIEによりポリシリコン膜404をエッチングして、振動ゲート26を覆う大きさの範囲に、シェル対応部405を形成する。

【0045】(11) 図24は、エッチングギャップ形成工程を示す。この工程は、振動ゲート26とシェル対応部405を形成するために、弗化水素酸を用いて、ギャップ対応酸化膜403をエッチングしながら、これを除去して導入孔406を形成し、ついでこの導入孔406を介して間隙対応部402をも除去する。このようにして、振動ゲート26及びシェル対応部405を形成する。

【0046】(12) 図25は、真空封止工程を示す。この工程は、真空中でシェル対応部405、導入孔406、ポリシリコン保護膜306の上を、ポリシリコン膜407でほぼ1μm程度の厚さで成膜して、シェル23の内部を真空中に保持する。

【0047】(13) 図26は、電極を形成する工程を示す。ソース部303とドレイン部304の上部にあるゲート酸化膜302、ポリシリコン保護膜306、及びポリシリコン膜407の一部を、フォトリソグラフィ技術とRIEとを用いて開口して、コンタクトホール408、409を形成する。

【0048】この後、コンタクトホール408、409に、アルミニウムをスパッタリング法によって成膜し、フォトグラフィ技術を用いてパッド部分501、502を形成する。金線でボンディングして配線を行なう。

【0049】(14) 図27は、ダイアフラム形成工程を示す。水酸化カリウム(KOH)液を用いて、中央部が薄肉で周囲が厚肉となる薄肉部になるように、シリコン単結晶の基板301の底部をエッチングして、ダイアフラム24を形成する。

【0050】以上が、振動式トランスデューサの振動ゲージ32を、シェル33で覆い、ダイアフラム34を形成する製造方法である。

【0051】以上の様な本発明の製造方法によれば、ゲ

ート絶縁膜が保護され、ドリフトが防止出来、振動ゲートの付着を防止でき、且つ、ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサを、従来の半導体プロセスを利用して安価に且つ確実に製作出来る振動式トランスデューサの製造方法を得ることができる。

【0052】

【発明の効果】以上、実施例と共に詳細に説明したように、本発明の第1請求項によれば、

(1) リンガラスを、ポリシリコンよりなる振動梁上に形成して、加熱下の窒素中でドライブインすることにより、ポリシリコンよりなる振動梁に、圧縮歪みに对抗出来るような初期張力が得られるようにしたので、圧縮歪みが印加されるような個所に、信頼性良く使用できるポリシリコンよりなる振動梁を有する振動式トランスデューサが得られる。

【0053】(2) 通常の半導体プロセスでは、ポリシリコンに導電性を持たせるために、リンドープが使用されるが、その際には、酸素中でアニールされる。この条件下では、酸化シリコンが生じて張力を発生させる事ができない。

【0054】本願発明では、加熱下の窒素中でドライブインすることにより、シリコン結晶粒の粒界での増速酸化を抑えることが出来、ポリシリコンよりなる振動梁に、圧縮歪みに对抗出来るような初期張力が初めて得られるようになることが出来る。

【0055】本発明の第2請求項によれば、700°C以上の温度で、ポリシリコンが塑性変形する。この点に着目して本願発明では、700°C以上の熱工程を加えることにより、大きな値の張力が得られたポリシリコンよりなる振動梁から、所定の張力を有するポリシリコンよりなる振動梁が容易に得られる。

【0056】本発明の第3請求項によれば、ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサを従来の半導体プロセスを利用して安価に且つ確実に製作出来る振動式トランスデューサの製造方法を得ることが出来る。

【0057】本発明の第4請求項によれば、ポリシリコンよりなる振動梁に所定の初期張力が付与できるように張力制御が容易にでき、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサを従来の半導体プロセスを利用して安価に且つ確実に製作出来る振動式トランスデューサの製造方法を得ることが出来る。

【0058】従って、本発明によれば、ポリシリコンよりなる振動梁に初期張力を付与し、振動梁に圧縮が加わった場合にも座屈を確実に防止し得る振動式トランスデューサとその製造方法を実現することが出来る。

【図面の簡単な説明】

【図1】本発明の1実施例の要部構成説明図である。

【図2】図1の犠牲層酸化膜形成工程説明図である。

【図3】図1の犠牲層酸化膜一部エッチング工程説明図である。

【図4】図1のポリシリコン膜形成工程説明図である。

【図5】図1のリンガラス形成工程説明図である。

【図6】図1の窒素ドライブイン工程説明図である。

【図7】図1のリンガラス除去工程説明図である。

【図8】図1のランプアニーリングによる高速アニーリング工程説明図である。

【図9】図1の振動梁形成工程説明図である。

【図10】図1の犠牲層酸化膜エッチング工程説明図である。

【図11】本発明の他の実施例の要部構成斜視図である。

【図12】図11の中央部近傍の断面図である。

【図13】図11の振動ゲートの中央部分における全体側断面図である。

【図14】図11のゲート酸化膜形成工程説明図である。

【図15】図11のイオン注入工程説明図である。

【図16】図11のイオン注入工程説明図である。

【図17】図11のポリシリコン保護膜形成工程説明図である。

【図18】図11の第1犠牲層酸化膜形成工程説明図である。

【図19】図11の梁形成工程説明図である。

【図20】図11の第2犠牲層酸化膜形成工程説明図である。

【図21】図11の間隙対応部形成工程説明図である。

【図22】図11のギャップ対応膜形成工程説明図である。

【図23】図11のシェル対応部形成工程説明図である。

【図24】図11のエッチングギャップ形成工程説明図である。

【図25】図11の真空封止工程説明図である。

【図26】図11の電極形成工程説明図である。

【図27】図11のダイアフラム形成工程説明図である。

【図28】従来より一般に使用されている従来例の構成説明図である。

【図29】図28の犠牲層酸化膜形成工程説明図である。

【図30】図28の犠牲層酸化膜一部エッチング工程説明図である。

【図31】図28のポリシリコン膜形成工程説明図である。

【図32】図28の犠牲層酸化膜除去工程説明図であ

る。

【符号の説明】

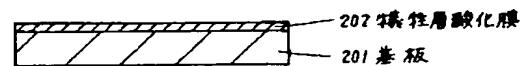
1 1	シリコン基板
1 2	振動梁
2 1	シリコン基板
2 2	電極
2 3	電極
2 4	固定端
2 5	固定端
2 6	振動ゲート
2 7	電極
2 8	ポリシリコン保護膜
2 9	ゲート酸化膜
3 1	2層構造膜
3 2	振動ゲージ
3 3	シェル
3 4	ダイアフラム
2 0 1	シリコン基板
2 0 2	犠牲層
2 0 3	所定個所
2 0 4	ポリシリコン膜
2 0 5	リンガラス
3 0 1	シリコン基板
3 0 2	ゲート酸化膜

3 0 3	ソース
3 0 4	ドレイン
3 0 5	チャネル部
3 0 6	ポリシリコン保護膜
3 0 7	第1犠牲層酸化膜
3 0 8	ポリシリコン
3 0 9	梁
4 0 1	第2犠牲層酸化膜
4 0 2	間隙対応部
4 0 3	ギャップ対応酸化膜
4 0 4	ポリシリコン膜
4 0 5	シェル対応部
4 0 6	導入孔
4 0 7	ポリシリコン膜
4 0 8	コンタクトホール
4 0 9	コンタクトホール
5 0 1	パッド部分
5 0 2	パッド部分
S	ソース
D	ドレイン
E 1	直流電源
E 2	直流電源
C N N 1	チャネル
C N N 2	チャネル

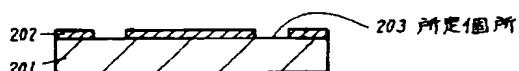
【図 1】



【図 2】



【図 3】



【図 4】



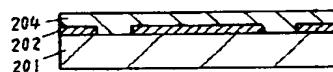
【図 5】



【図 6】



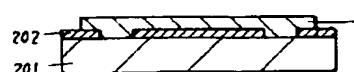
【図 7】



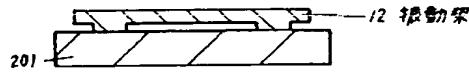
【図 8】



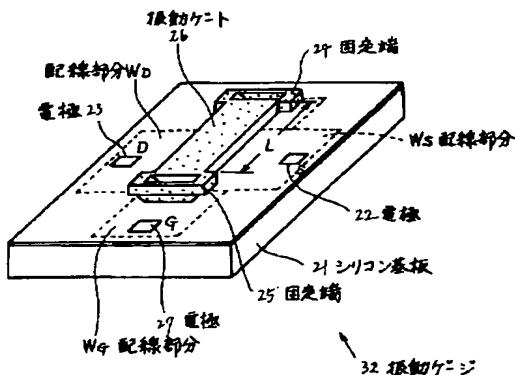
【図 9】



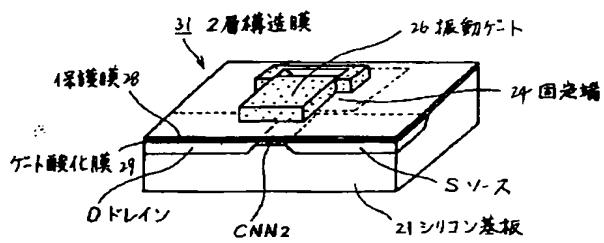
【図 10】



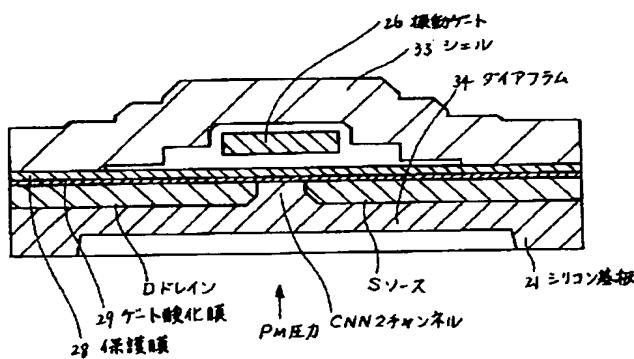
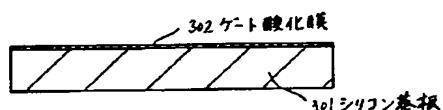
【図11】



【図13】

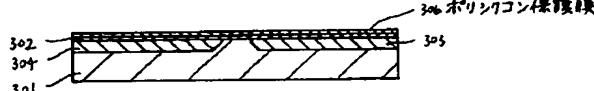


【図14】

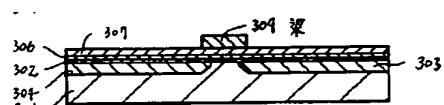


【図15】

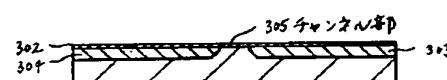
【図17】



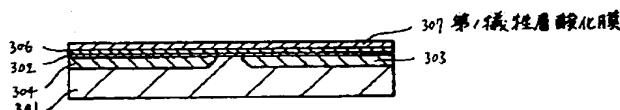
【図19】



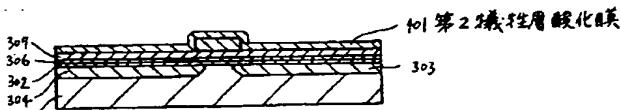
【図18】



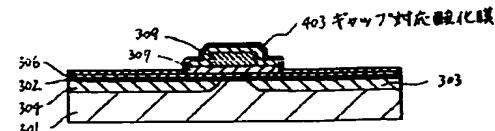
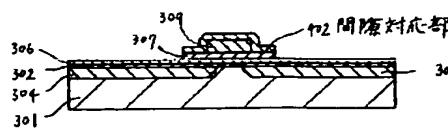
【図20】



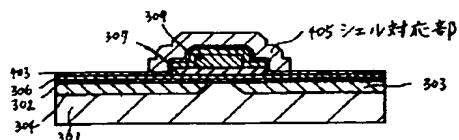
【図21】



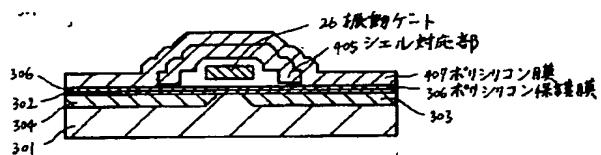
【図22】



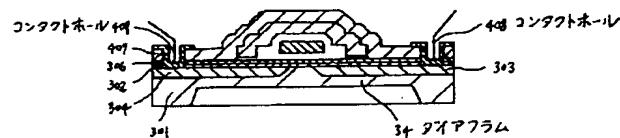
【図23】



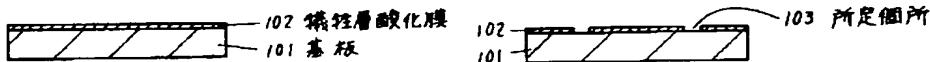
【図25】



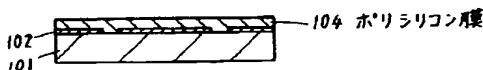
【図27】



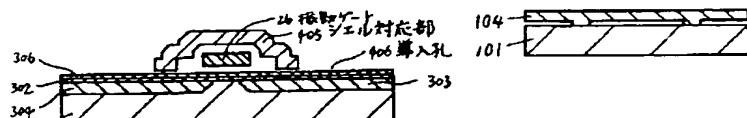
【図29】



【図31】



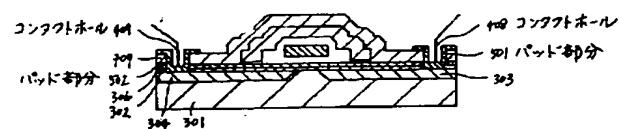
【図24】



【図32】



【図26】



【図28】



【図30】

